

# Analyse et contrôle des interférences liées à la cohérence de cache dans les multi-cœurs COTS

Soutenance de thèse – Nathanaël SENSFELDER

31 mars 2021 à 9h30

## Devant le jury composé de :

- Bjorn Brandenburg, Marx Planck Institute Germany -- examinateur
- Janette Cardoso, Ecole Supaéro Toulouse -- examinatrice
- Sylvain Cochon, LRI Orsay -- examinateur
- Isabelle Puaut, Université de Rennes -- rapporteure
- Olivier Roux, Ecole Centrale de Nantes -- rapporteur
- Christine Rochange, UPS Toulouse -- examinatrice
- Julien Brunel, ONERA, co-directeur de thèse
- Claire Pagetti, ONERA, directrice de thèse

## Résumé :

Les processeurs COTS multi-cœurs, par nature parallèles, améliorent généralement les performances de calcul mais au prix d'un grand manque de prédictibilité, au sens où calculer les pires temps d'exécution est un problème complexe. Parmi les mécanismes complexes, se trouve la cohérence de caches. Celle-ci assure que tous les cœurs lisant ou écrivant dans un même bloc mémoire ne peuvent pas aveuglement ignorer les modifications appliquées par les autres. Afin de maintenir la cohérence de caches, le processeur suit un protocole pré-déterminé qui définit les messages à envoyer en fonction des actions d'un cœur ainsi que les actions à effectuer lors de la réception du message d'un autre cœur.

Cette thèse porte sur l'identification des interférences générées par la cohérence de caches. La première contribution adresse les ambiguïtés dans la compréhension du protocole réellement présent dans l'architecture. L'idée consiste à formaliser les protocoles standards et définir une stratégie, reposant sur les micro-benchmarks, pour observer les choix d'implémentation. Cette stratégie a notamment été appliquée sur le NXP QorIQ T4240. Une fois le protocole correctement identifié, la seconde contribution consiste à réaliser une description bas-niveau de l'architecture en utilisant des automates temporisés afin de représenter convenablement les micro-comportements. La troisième contribution explique comment utiliser la modélisation de l'architecture pour exhiber les interférences. Elle propose une stratégie pour détailler les causes et effets de chaque interférence liée à la cohérence de caches sur les programmes.

Vous êtes invité à rejoindre la web-conférence via le lien ci-dessous :

[https://teams.microsoft.com/l/meetup-join/19%3ameeting\\_MmNkZmUwMDgtMTFhNS00YjE0LTljYTctODU1YWYyYzBmM2Q4%40thread.v2/0?context=%7b%22Tid%22%3a%22efb5b129-a070-4072-945b-bbcc891af4a7%22%2c%22Oid%22%3a%22dab189a7-fb4c-45fa-b65d-1e224cb49245%22%7d](https://teams.microsoft.com/l/meetup-join/19%3ameeting_MmNkZmUwMDgtMTFhNS00YjE0LTljYTctODU1YWYyYzBmM2Q4%40thread.v2/0?context=%7b%22Tid%22%3a%22efb5b129-a070-4072-945b-bbcc891af4a7%22%2c%22Oid%22%3a%22dab189a7-fb4c-45fa-b65d-1e224cb49245%22%7d)